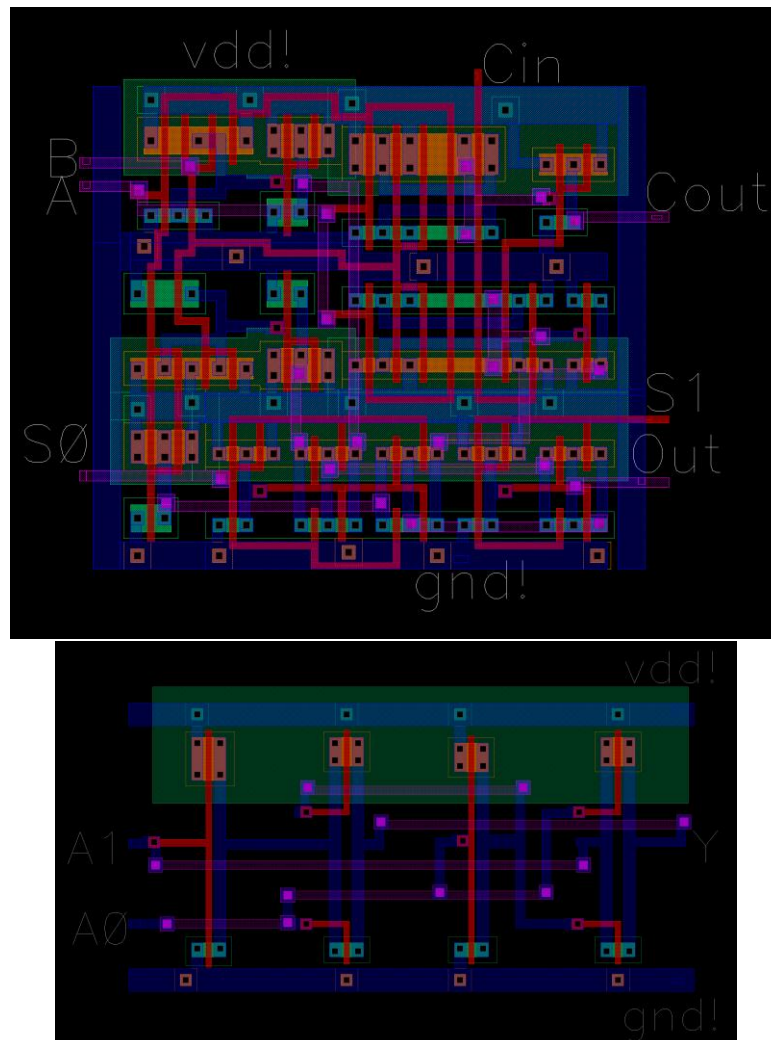


# Smernice za izradu projekta i pisanje izveštaja

Prilikom izrade projekta i pisanja izveštaja treba voditi računa o sledećim stvarima:

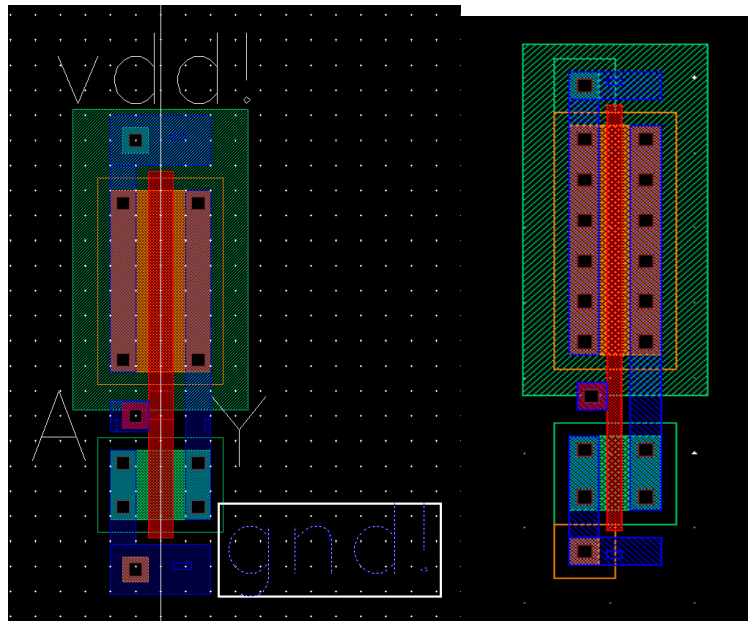
## OPŠTE:

1. Alat za proveru LVS treba podesiti da pored povezivanja odgovarajućih čvorova, proverava i da li su parametri tranzistora isti u šematu i leajutu (pre svega se misli na širine i dužine kanala). Da bi se ovo omogućilo potrebno je u *Schematic* ili *Layout Suite* editoru odabrati **NCSU** → **Modify LVS Rules** i uključiti opciju **Compare FET Parameters**.
2. Nakon svake promene parametara kola koje se simulira, prilikom simulacije u alatu *Analog Design Environment (ADE L)* obavezno pre svakog pokretanja simulacije rekreirati netlistu odabirom naredbe **Simulation** → **Netlist** → **Recreate**. Ako se ovo ne ispoštuje, postoji mogućnost da će se dobiti isti rezultati simulacije za kola koja imaju različite parametre jer alat pamti staru netlistu.
3. U kasnijim fazama projekta nije potrebno zadržavati dimenzije NMOS tranzistora iz prve faze. Poželjno je da se novi dizajn ponovo optimizuje, a dimenzije invertora koji se koriste u ostalim fazama ne moraju da budu iste kao u prvoj fazi.
4. Potrebno je da leajut bude što kompaktniji. Prostorno neoptimizovani leajut povlači gubitak poena.



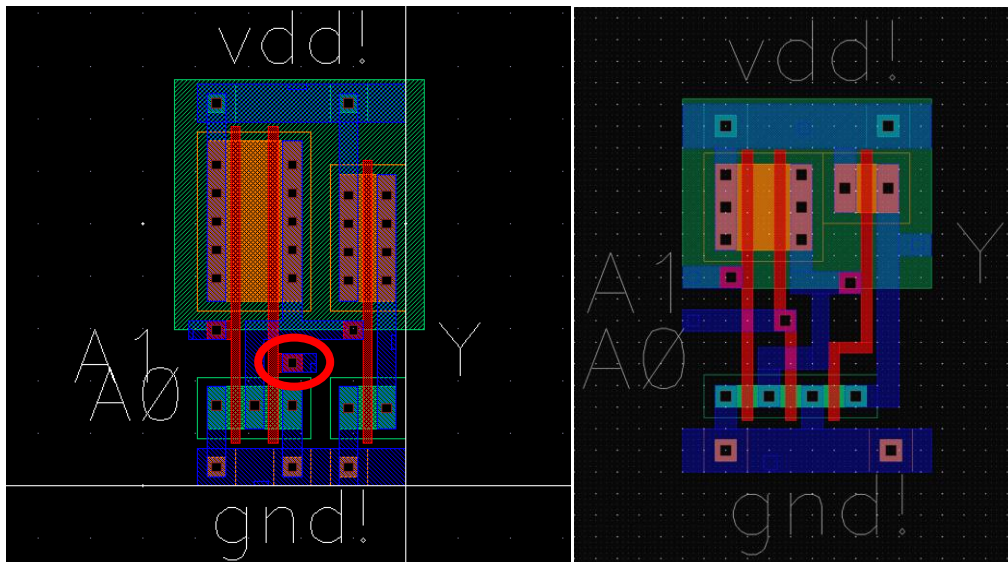
Slika 1. Primeri dobro spakovanog leajuta (gore) i neoptimizovanog leajuta (dole).

5. Linije za napajanje su po pravilu dugačke koliko je široka ćelija koja se projektuje (kao na slici 3 desno). Ovim se omogućava lakše spajanje u višim stepenima hijerarhije. Primer loše prakse je na slici 2 - linije za napajanje i masu su prekratke.
6. Vodite računa da racionalno koristite slojeve metala. Opšte pravilo treba da bude da novi sloj metala uvodite tek ako ste se potrudili i razmislili kako da realizujete kolo pomoću do tada korišćenih slojeva metala i shvatili da bi jedino uvođenjem novog sloja mogli značajno da smanjite površinu leajauta. Dakle uvođenje svakog novog sloja je potrebno argumentovati u zaključku. Neargumentovano uvođenje viših slojeva metala povlači gubitak poena.
7. Broj kontakata na tranzistorima treba da bude maksimalni moguć koliko to dozvoljavaju lambda pravila.



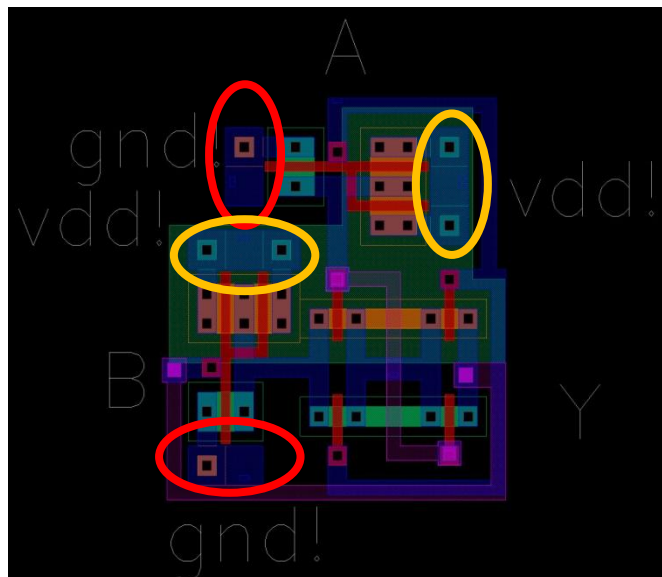
Slika 2. Primer lošeg leajauta (levo) na kom postoje samo dva kontakta na dreznu i sorsu tranzistora. Na leajautu desno je ispravno postavljen maksimalan moguć broj kontakata.

8. Kontakti za osnovu tranzistora u schematic-u treba da budu vezani UVEK za masu kod NMOS tranzistora, a za napon napajanja kod PMOS tranzistora. U suprotnom neće proći LVS provera jer su u leajautu osnove svih NMOS tranzistora vezane za masu, a PMOS tranzistora za napon napajanja preko kontakata koji inverzno polarišu pn spoj supstrat-jama.
9. Neophodno je omogućiti prilaz svakom pinu ćelije bilo da to znači izvući pinove do ivica ćelije ili postaviti vii ka sloju metala2 u kom se može pristupiti odgovarajućem pinu. Primer loše i dobro realizovane ćelije dat je na Slici 3.



Slika 3. Pinu A0 u ćeliji levo se nikako ne može pristupiti u sloju metala 1 u kojem je realizovan kontakt, dok su u realizaciji desno svi pinovi pristupačni.

- Linije za napajanje i masu u okviru jedne ćelije **NE SMEJU** da budu razdvojene kao na Slici 4. Svaka ćelija treba da ima jedan priključak za napajanje i jedan za masu. U velikim sistemima, na kućištu čipa, može postojati više priključaka za napajanje i masu međutim kako vi projektujete jedan manji deo sistema koji radi na jedinstvenom naponu napajanja i sa jedinstvenom masom onda višestruki priključci nisu dozvoljeni. Postoje izuzeci od ovog pravila, ali bez obzira na to, treba izbegavati razdvojene linije za napajanje i razdvojene linije za masu da se ne bi desilo da prilikom povezivanja u veći sistem, neki delovi ćelije ostanu bez napajanja.



Slika 4. Primer lošeg lejauta zbog razdvojenih linija Vdd i Gnd

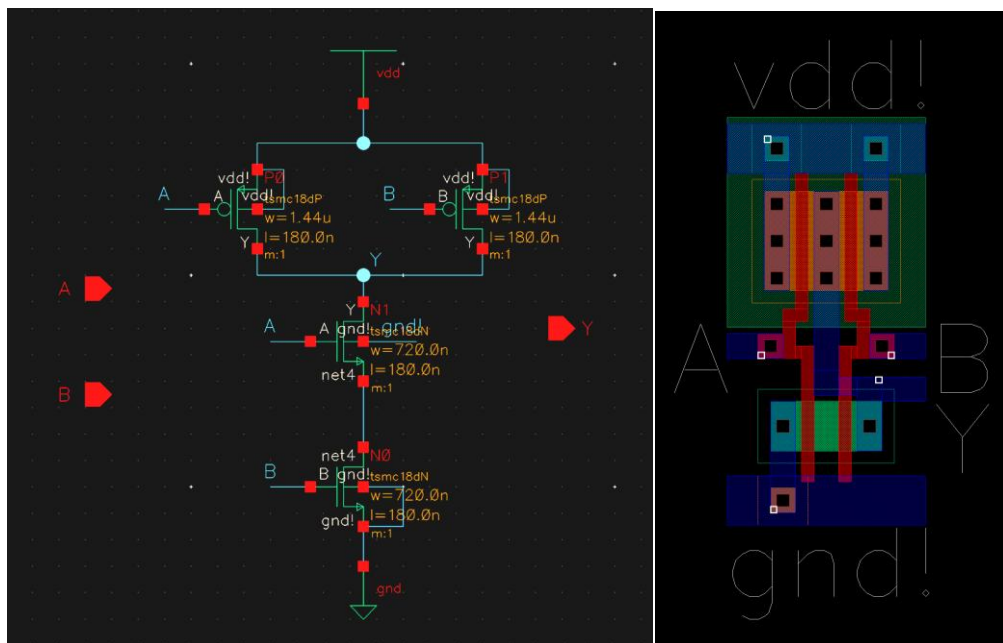
- Voditi računa o tome da se raspored tranzistora u lejauiu poklapa sa rasporedom tranzistora u šematiku. Permutovanje redosleda redno vezanih tranzistora neće napraviti razliku u funkcionalnosti međutim pri simulaciji kritični prelazi će biti potpuno različiti. Na Slici 5. je prikazan jedan primer NAND kola gde je u šematiku ulaz A doveden na tranzistor koji je povezan na izlaz Y dok je u lejauiu ulaz A doveden na

tranzistor koji je povezan na masu. Kako permutovanje redno vezanih tranzistora ne remeti funkcionalnost (oba kola realizuju NAND funkciju), LVS provera sa podrazumevanim podešavnjima neće prijaviti nikakvu grešku. Međutim pri simulacijama će se dobiti da je kritičan prelaz za šematik A=1 B=0→1, dok je za ležaut kritičan prelaz A=0→1 B=1. Alat za proveru LVS se može podesiti tako da detektuje ovakvu situaciju i prijavljuje grešku u tom slučaju. Da bi se ovo omogućilo potrebno je u *Schematic* ili *Layout Suite* editoru odabrati **NCSU→Modify LVS Rules** i isključiti opciju **Allow FET Series Permutation**. Greška u log fajlu za primer sa Slike 5. koja će biti prijavljena izgleda ovako:

```

termbad.out:
T /+0 S /gnd!
? Terminal "S" on device /+0 should be connected to /Y instead of /gnd!
T /+1 D /Y
? Terminal "D" on device /+1 should be connected to /gnd! instead of /Y

```

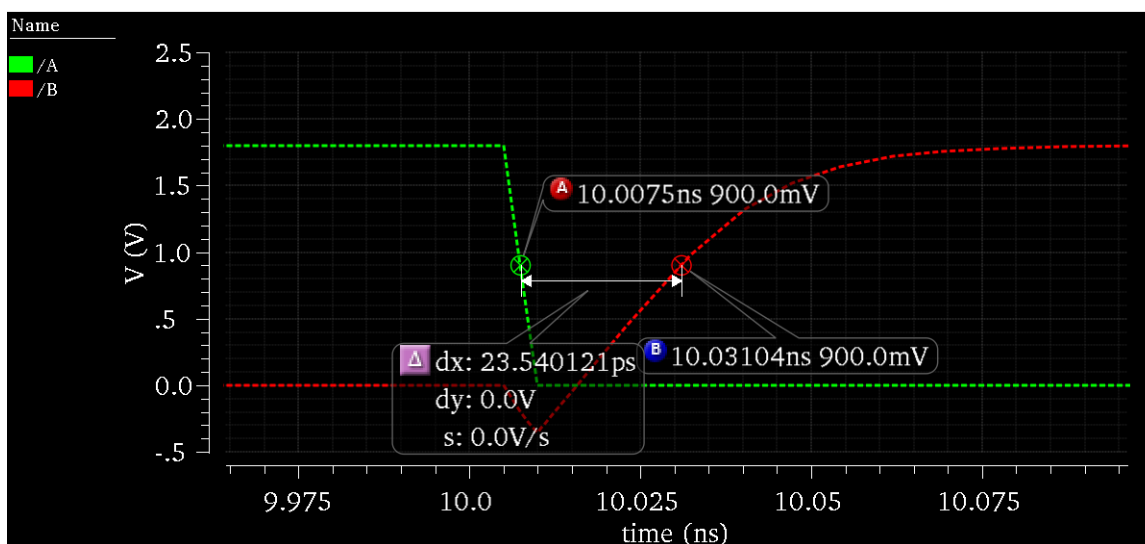


Slika 5. Primer permutovanih redno vezanih tranzistora u layout-u u odnosu na schematic.

12. U slučaju da se desi da su schematic ili layout fajlovi zaključani i da ih nije moguće editovati, uraditi sledeće:
  - a. Zatvoriti Virtuoso
  - b. Otvoriti direktorijum gde se nalaze schematic/layout fajlovi
  - c. Obrisati sve fajlove koji u imenu imaju **cdslck**
  - d. Ponovo pokrenuti Virtuoso

## IZVEŠTAJ:

1. Ne menjati font i formatiranje izveštaja
2. Naslovi slika idu uvek ispod slika, a naslovi tabela iznad tabela
3. Slike treba da budu jasne i isečene na deo slike koji ima sadržaj. Ne stavljati sliku koja u donjem levom uglu samo ima npr. lejaut, a svuda drugo je crna.
4. Slike ne čuvati korišćenjem Print Screen dugmeta, već ih eksportovati korišćenjem komande **File**→**Export Image** iz layout i schematic editora, a vremenske dijagrame čuvati sa **File**→**Save Image**. Rezoluciju u prvom slučaju podesiti na najmanje 3x, a u drugom slučaju na 200dpi.
5. Na slikama lejauta i šematika treba da se vide labele i imena pinova. Ako su posle restarta alata labele sakrivene, mogu se uključiti tako što se odabere **Options**→**Display...** i čekira opcija **Pin Names**.
6. Na vremenskim dijagramima obavezno prikazati, pored prelaza izlaznog signala, i ulazni signal koji je taj prelaz prouzrokovao, a linije na grafiku prikazati jasnim bojama i debljim linijama. Pored toga, na dijagramima treba da se vidi način merenja kašnjenja, tj. ne treba sklanjati referentne tačke. Primer dobrog dijagrama je na slici 6.



Slika 6 – Primer vremenskih dijagrama

7. U zaključku je potrebno napisati vaša zapažanja, određivanje kritičnih putanja, optimizacije površine/kašnjenja, objašnjenje određenih pojava i sl. Izbegavati opšta mesta poput „Rezultati simulacije su u skladu sa očekivanjem“ i sl. Potrebno je da stojite iza svake vaše rečenice. Nije dovoljno samo konstatovati da su neka kašnjenja veća ili manja već je potrebno prodiskutovati i ponuditi objašnjenje. Dobar zaključak treba da sadrži sledeće komponente:
  - a. Zbog čega je odabrana baš ta realizacija kola (ako je u zadatku data sloboda pri izboru ili ako ste vi izabrali da koristite neku drugu realizaciju u odnosu na zadatak). Obrazloženje mora biti argumentovano brojem tranzistora, boljom mogućnošću pakovanja u lejaut, brzinom rada, manjom potrošnjom i sl. Ako se, recimo, kao prednost navodi brzina onda se to mora jasno objasniti i eventualno potkrepiti rezultatima simulacije.
  - b. Ako su uvedeni novi slojevi metala koji do tada nisu korišćeni u projektu potrebno je jasno argumentovati zbog čega je to urađeno i šta se na taj način dobilo.

- c. U slučaju složenijeg kola gde nije praktično ispitivati sve moguće prelaze potrebno je objasniti zbog čega je odabran konkretan set test vektora i koji slučajevi su time pokriveni.
- d. Potrebno je analizirati kritične putanje i prelaze sa teorijskog aspekta i diskutovati rezultate simulacije na konkretnom leljautu.
- e. I na kraju u zaključku je potrebno navesti sve dodatne stvari koje predstavljaju posebnost vašeg dizajna, načina optimizacije i sl. što vas može kandidovati za nagradne poene.

Izveštaj je važan koliko i dobro urađen projekat, stoga će se za nepregledne i nepotpune izveštaje oduzimati poeni.